

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-270720
 (43)Date of publication of application : 20.09.2002

(51)Int.Cl.

H01L 23/12
 H01L 21/304
 H01L 21/56
 H01L 21/301

(21)Application number : 2001-066364
 (22)Date of filing : 09.03.2001

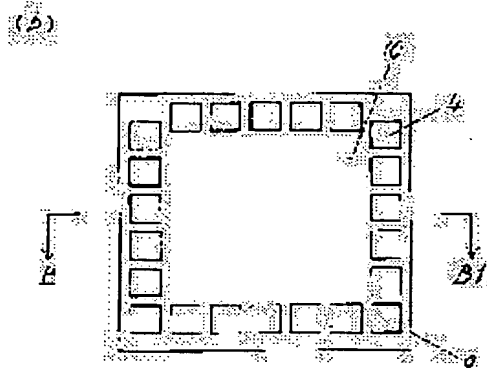
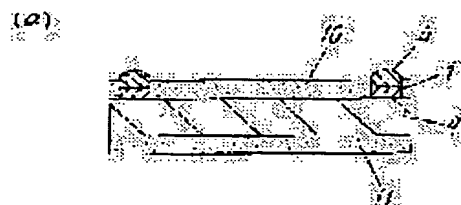
(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
 (72)Inventor : FUJIMOTO HIROAKI
 NOMURA TORU

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problems of damage to individual semiconductor elements and the residual stress and the problem concerning the reliability since a warp occurs as a wafer when forming a semiconductor device by packaging it on the wafer level.

SOLUTION: Since a second insulating resin 11 where thermal expansion balance is taken with a first insulating resin 10 on the surface is made on the rear face of a semiconductor chip 9 as a semiconductor device, this method can prevent the warp of the semiconductor device even if thermal stress occurs at mounting of a board, and a highly reliable CSP type of semiconductor device can be materialized. Moreover, this method can materialize the semiconductor device which realizes thinning together with the chip sizing since the semiconductor chip 9 itself is a thinned one.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device characterized by consisting of a projection electrode which was a chip-like semiconductor device, was electrically connected with the 1st insulating resin which covered the front face of a semiconductor chip with an electrode pad, and said semiconductor chip except said electrode pad, and said electrode pad at the front face, and has been arranged on the front face of said semiconductor chip, and the 2nd insulating resin which covered the rear-face field except the side-face field of said semiconductor chip.

[Claim 2] A semiconductor chip is a semiconductor device according to claim 1 characterized by the rear face being the semiconductor chip made thin by grinding by the thickness below 100 [μm].

[Claim 3] The semiconductor device according to claim 1 characterized by preparing the projection electrode on an electrode pad.

[Claim 4] a projection electrode is prepared on the front face of the 1st insulating resin which covered the front face of a semiconductor chip — having — the projection electrode and electrode pad of a semiconductor chip — a conductor — the semiconductor device according to claim 1 characterized by wiring connecting.

[Claim 5] The 1st insulating resin and the 2nd insulating resin are a semiconductor device according to claim 1 characterized by the thickness being equivalent thickness mutually.

[Claim 6] The process which prepares the semi-conductor wafer with which it has two or more semiconductor devices by which two or more electrode pads were prepared in the front face in the same side, and each semiconductor device was divided into the chip field with the dicing line. The process which forms a projection electrode with a conductive ingredient respectively on the electrode pad of the front face of each semiconductor device of said semi-conductor wafer, The process which is made to expose the projection electrode on said electrode pad, and covers the front face of said semi-conductor wafer with the 1st insulating resin, The process which carries out grinding of the rear-face side of said semi-conductor wafer, and forms a thin semi-conductor wafer, The manufacture approach of the semiconductor device characterized by consisting of a process which covers the rear face of said thin semi-conductor wafer with the 2nd insulating resin, and a process which cuts with a dicing line to said thin semi-conductor wafer, and obtains the semiconductor device of a chip unit.

[Claim 7] The manufacture approach of the semiconductor device according to claim 6 characterized by carrying out at the process which carries out grinding of the rear-face side of a semi-conductor wafer, and forms a thin semi-conductor wafer where adhesion immobilization of the front-face side of said semi-conductor wafer is carried out at a sheet member.

[Claim 8] The manufacture approach of the semiconductor device according to claim 6 characterized by carrying out grinding of the thickness of a semi-conductor wafer to thin [below 100 [μm]] at the process which carries out grinding of the rear-face side of a semi-conductor wafer, and forms a thin semi-conductor wafer.

[Claim 9] It is the manufacture approach of the semiconductor device according to claim 6 characterized by covering the 1st insulating resin and the 2nd insulating resin with equivalent thickness mutually in the process which is made to expose the projection electrode on an electrode pad, and covers the front face of a semi-conductor wafer with the 1st insulating resin, and the process which covers the rear face of a thin semi-conductor wafer with the 2nd insulating resin.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the chip size realized especially on semi-conductor wafer level, a thin semiconductor device, and its manufacture approach about the semiconductor device called a chip-size package (CSP) and its manufacture approach.

[0002]

[Description of the Prior Art] In recent years, as a semiconductor device with which packaging of the semiconductor chip was carried out, the semiconductor device of a CSP mold equivalent to the appearance size of a semiconductor chip is developed. Packaging of the semiconductor chip of each [semi-conductor wafer level] is carried out especially, and the technique of realizing the semiconductor device of a CSP mold is developed briskly.

[0003] Hereafter, the conventional semiconductor device and its conventional manufacture approach of a CSP mold of wafer level are explained.

[0004] The conventional semiconductor device is first explained with reference to drawing 5 . Drawing 5 is drawing showing the semiconductor device of the conventional CSP mold, drawing 5 (a) is a sectional view and drawing 5 (b) is a top view. In addition, the sectional view of drawing 5 (a) shows the main cross sections of one A-A of the top view of drawing 5 (b).

[0005] The semiconductor chip 2 with [as shown in drawing 5 , the conventional semiconductor device is a semiconductor device of the shape of a rectangle-like chip, and] the electrode pad 1 of plurality [front face], Insulating resin 3, such as an epoxy resin which covered the front face of the semiconductor chip 2 except these electrode pad 1, It is prepared on each electrode pad 1, connects electrically, and consists of projection electrodes 4 which the crowning was exposed from the front face of insulating resin 3, and have been arranged on the front face of a semiconductor chip 2.

[0006] In the conventional semiconductor device, the projection electrode 4 consists of conductive ingredients, such as gold (Au), copper (Cu), and a pewter, and has the bump configuration.

[0007] Next, it explains, referring to a drawing about the manufacture approach of the conventional semiconductor device. Drawing 6 and drawing 7 are the sectional views for every main processes showing the manufacture approach of the conventional semiconductor device.

[0008] As first shown in drawing 6 (a), it has two or more semiconductor devices 5 by which two or more electrode pads 1 were formed in the front face in the same side, and the semi-conductor wafer 7 with which each semiconductor device 5 was divided into the chip field with the dicing line 6 is prepared. Here, the semi-conductor wafer 7 with which grinding of the thickness was beforehand carried out by back grinding to 250[μm] thickness extent is prepared. Naturally, the integrated circuit is formed in each semiconductor device 5 front face.

[0009] Next, as shown in drawing 6 (b), the projection electrode 4 is respectively formed with conductive ingredients, such as gold, copper, and a pewter, on the electrode pad 1 of the front face of each semiconductor device 5 of the prepared semi-conductor wafer 7. Formation of the projection electrode 4 is formed by approaches, such as the wire bond method which joins a conductive ingredient to plating or a mechanical.

[0010] Next, as shown in drawing 6 (c), the projection electrode 4 on the electrode pad 1 is exposed, and the front face of the semi-conductor wafer 7 is covered with insulating resin 3, such as an epoxy resin. Although it dissociated in each semiconductor device 5 unit and insulating resin 3 is covered here every semiconductor device 5 front face except for the dicing line 6, insulating resin 3 may be made to cover over each semiconductor device 5 whole surface of the semi-conductor wafer 7.

[0011] And as shown in drawing 7 (a), the semiconductor device 8 of a chip unit is obtained by cutting with a dicing line to the semi-conductor wafer 7. The semiconductor device 8 of the one shape of a chip which carried out cutting separation from the semi-conductor wafer is shown in drawing 7 R> 7 (b).

[0012] As mentioned above, by the manufacture approach of the conventional semiconductor device, by performing electrode formation, resin covering of a surface protection, dicing, etc. in the state of a semi-conductor wafer, packaging of the semiconductor chip of each [wafer level] was carried out, and the semiconductor device of a CSP mold was realized.

[0013]

[Problem(s) to be Solved by the Invention] However, in said conventional semiconductor device, although it was the semiconductor device of a chip size, it was not a thinner semiconductor device. Moreover, since insulating resin was formed on the surface of the semiconductor chip as a semiconductor device, when were mounted on mounting substrates, such as a printed circuit board, and thermal stress was impressed to a semiconductor device according to mounting conditions, an environment, etc., curvature occurred in the semiconductor device itself, the damage was given to the integrated circuit in a semiconductor chip, and there was a possibility that the dependability as a product might be lacked. When thinning especially of the semiconductor device itself was carried out, the problem of being easy to generate

curvature was in the side with the large difference of a coefficient of thermal expansion. Furthermore by the curvature of the semiconductor device by stress, there was also a possibility that the dependability of junction to a projection electrode and a mounting substrate might also fall.

[0014] Moreover, in the manufacture approach of the conventional semiconductor device, in order to carry out packaging on semi-conductor wafer level, especially by resin covering of a surface protection, when insulating resin was formed on a semi-conductor wafer, curvature occurred as a semi-conductor wafer, and trouble was caused to division by the dicing to each semiconductor device, and there was a problem of the damage to a semiconductor device. Moreover, when it had curvature in the state of a semi-conductor wafer and divided into the semiconductor device of each [the condition], conversely, stress remained between a semiconductor device (semiconductor chip) and surface insulating resin, and the exterior also had the problem of the damage to resin exfoliation and an integrated circuit device in it, although curvature was canceled.

[0015] In case this invention solves said conventional technical problem, packaging is carried out on semi-conductor wafer level and a semiconductor device is formed, it aims at preventing generating of the curvature to a semi-conductor wafer, offering the semiconductor device which canceled the damage to an integrated circuit device, and its manufacture approach, and offering the semiconductor device which carried out thinning further, and its manufacture approach.

[0016]

[Means for Solving the Problem] In order to solve said conventional technical problem, the semiconductor device of this invention A semiconductor chip with [are a chip-like semiconductor device and] an electrode pad to a front face, The 1st insulating resin which covered the front face of said semiconductor chip except said electrode pad, It is the semiconductor device which consists of a projection electrode which was electrically connected with said electrode pad and has been arranged on the front face of said semiconductor chip, and the 2nd insulating resin which covered the rear-face field except the side-face field of said semiconductor chip.

[0017] And specifically, a semiconductor chip is a semiconductor device the rear face of whose is the semiconductor chip made thin by grinding by the thickness below 100 [μm].

[0018] Moreover, it is the semiconductor device with which the projection electrode is prepared on the electrode pad.

[0019] moreover, a projection electrode is prepared on the front face of the 1st insulating resin which covered the front face of a semiconductor chip — having — the projection electrode and electrode pad of a semiconductor chip — a conductor — it is the semiconductor device connected by wiring.

[0020] Moreover, the 1st insulating resin and the 2nd insulating resin are semiconductor devices the thickness of whose is equivalent thickness mutually.

[0021] Since the 2nd insulating resin with which the semiconductor device of this invention maintained the 1st surface insulating resin and thermal-expansion balance in the rear face of a semiconductor chip as a semiconductor device as said configuration is formed, curvature does not occur as a semiconductor device with the thermal stress generated by the heat history at the time of substrate mounting etc., and it is the semiconductor device of a reliable CSP mold. Moreover, since it is the semiconductor chip with which grinding of the semiconductor chip of a semiconductor device itself was carried out, and thinning was carried out, the semiconductor device which realized thinning with chip size-ization is realizable. Since especially the thickness of a semiconductor chip is below 100 [μm] (for example, the thickness of 50 [μm]), even if it can obtain the semiconductor device of the CSP mold which carried out thinning extremely and is thin [of 50 [μm] thickness], it is the structure where generating of curvature can be prevented.

[0022] Moreover, the process which prepares the semi-conductor wafer with which the manufacture approach of the semiconductor device of this invention has two or more semiconductor devices by which two or more electrode pads were prepared in the front face in the same side, and each semiconductor device was divided into the chip field with the dicing line, The process which forms a projection electrode with a conductive ingredient respectively on the electrode pad of the front face of each semiconductor device of said semi-conductor wafer, The process which is made to expose the projection electrode on said electrode pad, and covers the front face of said semi-conductor wafer with the 1st insulating resin, The process which carries out grinding of the rear-face side of said semi-conductor wafer, and forms a thin semi-conductor wafer, It is the manufacture approach of the semiconductor device which consists of a process which covers the rear face of said thin semi-conductor wafer with the 2nd insulating resin, and a process which cuts with a dicing line to said thin semi-conductor wafer, and obtains the semiconductor device of a chip unit.

[0023] And it is the manufacture approach of a semiconductor device of performing the front-face side of said semi-conductor wafer to a sheet member at the process which carries out grinding of the rear-face side of a semi-conductor wafer, and specifically forms a thin semi-conductor wafer where adhesion immobilization is carried out.

[0024] Moreover, at the process which carries out grinding of the rear-face side of a semi-conductor wafer, and forms a thin semi-conductor wafer, it is the manufacture approach of the semiconductor device which carries out grinding of the thickness of a semi-conductor wafer to thin [below 100 [μm]].

[0025] Moreover, in the process which is made to expose the projection electrode on an electrode pad, and covers the front face of a semi-conductor wafer with the 1st insulating resin, and the process which covers the rear face of a thin semi-conductor wafer with the 2nd insulating resin, the 1st insulating resin and the 2nd insulating resin are the manufacture approaches of the semiconductor device each other covered with equivalent thickness.

[0026] As said configuration, the manufacture approach of the semiconductor device of this invention In case packaging is carried out on semi-conductor wafer level, after forming the 1st insulating resin in a front face, paste a sheet, from the rear-face side of a semi-conductor wafer, carry out grinding with a grinder, carry out thinning, and generating of curvature is prevented with the condition. In order to form the 1st insulating resin formed in the front face, and the 2nd insulating resin which maintained thermal-expansion balance to the rear face of a semi-conductor wafer and to divide into each semiconductor device, Since each semiconductor device [be / no generating of curvature] can be obtained, a semiconductor device with the high dependability which realized thinning with chip size-ization is realizable. Since especially the thickness of a semiconductor chip is below 100 [μm] (for example, the thickness of 50 [μm]), it can obtain the semiconductor device of the CSP mold which carried out thinning extremely.

[0027]

[Embodiment of the Invention] Hereafter, 1 operation gestalt of the semiconductor device of this invention and its manufacture approach is explained.

[0028] It explains referring to a drawing about the semiconductor device of this operation gestalt first. Drawing 1 is drawing showing the semiconductor device of the CSP mold of this operation gestalt, drawing 1 (a) is a sectional view and drawing 1 R> 1 (b) is a top view. In addition, the sectional view of drawing 1 (a) shows the main cross sections of one B-B of the top view of drawing 1 R> 1 (b).

[0029] As shown in drawing 1, the semiconductor device of this operation gestalt The semiconductor chip 9 with [to a front face / are a thin chip-like semiconductor device and] the electrode pad 1 at peripheral one, The 1st insulating resin 10 which covered the front face of the semiconductor chip 9 except each electrode pad 1 with homogeneity thickness, It connects with each electrode pad 1 electrically, and consists of a projection electrode 4 arranged on the front face of a semiconductor chip 9, and the 2nd insulating resin 11 which covered the rear-face field except the side-face field of a semiconductor chip 9 with homogeneity thickness. And a semiconductor chip 9 is a semiconductor chip with which thinning of the rear face was carried out by grinding below 100 [μm] (for example, the thickness of 50 [μm]), and it is the semiconductor device which carried out thinning as a semiconductor device.

[0030] Moreover, as shown in drawing 1, in the semiconductor device of this operation gestalt, the projection electrode 4 is directly formed on the electrode pad 1.

[0031] And in the semiconductor device of this operation gestalt, the thickness is mutually prepared by equivalent thickness, and the 1st insulating resin 10 and the 2nd insulating resin 11 attain balance-ization of the thermal expansion by the heat history at the time of substrate mounting, and are prepared. Therefore, curvature does not occur as a semiconductor device with the thermal stress generated by the heat history at the time of substrate mounting etc., and it is the semiconductor device of a reliable CSP mold.

[0032] In addition, with this operation gestalt, the thickness of the 1st insulating resin 10 and the 2nd insulating resin 11 is 5-15 [μm], and is made into 10 [μm] thickness as suitable. That is, to the thickness of a semiconductor chip 9, the 2nd insulating resin 11 is formed so that the curvature by the 1st insulating resin 10 may be made to balance-ize, and the proper thickness of the 1st insulating resin 10 and the 2nd insulating resin 11 is set up according to the thickness of a semiconductor chip 9.

[0033] As mentioned above, since the semiconductor device of this operation gestalt forms in the rear face of a semiconductor chip 9 the 1st surface insulating resin 10 and the 2nd insulating resin 11 which maintained thermal-expansion balance as a semiconductor device, curvature does not occur as a semiconductor device with the thermal stress generated by the heat history at the time of substrate mounting etc., and it is a semiconductor device of a reliable CSP mold. Moreover, since it is the semiconductor chip with which grinding also of semiconductor chip 9 the very thing of a semiconductor device was carried out, and thinning was carried out, the semiconductor device which realized thinning with chip size-ization is realizable. Since especially the thickness of a semiconductor chip 9 is below 100 [μm] (for example, the thickness of 50 [μm]), even if it can obtain the semiconductor device of the CSP mold which carried out thinning extremely and is thin [of 50 [μm] thickness], it is the structure where generating of curvature can be prevented.

[0034] Next, the manufacture approach of the semiconductor device of this operation gestalt is explained. Drawing 2 and drawing 3 are the sectional views for every main processes showing the manufacture approach of the semiconductor device of this operation gestalt.

[0035] As first shown in drawing 2 (a), it has two or more semiconductor devices 5 by which two or more electrode pads 1 were formed in the front face in the same side, and the semi-conductor wafer 7 with which each semiconductor device 5 was divided into the chip field with the dicing line 6 (scribe line) is prepared. Naturally, the integrated circuit is formed in each semiconductor device 5 front face. Moreover, although the semi-conductor wafer 7 with which grinding of the thickness was beforehand carried out by back grinding to 250 [μm] thickness extent here is prepared, in order to carry out grinding of the rear face at a back process, the semi-conductor wafer which has not carried out back grinding is sufficient.

[0036] Next, as shown in drawing 2 (b), the projection electrode 4 is respectively formed with a conductive ingredient on the electrode pad 1 of the front face of each semiconductor device 5 of the prepared semi-conductor wafer 7. Moreover, formation of the projection electrode 4 is formed by approaches, such as the wire bond method which joins a conductive ingredient to plating or a mechanical, using conductive ingredients, such as gold, copper, and a pewter, as a conductive ingredient.

[0037] Next, as shown in drawing 2 (c), to the front face of the semi-conductor wafer 7, the projection electrode 4 on each electrode pad 1 is exposed, and it covers with the 1st insulating resin 10. Although it covers with the 1st insulating resin 10 here so that the parietal region of the projection electrode 4 may be made to project, as the approach of covering, the transfer mold method, the applying method, and the potting method cover by the heat-curing mold resin of an epoxy system. As the thickness of covering in that case, it is 5-15 [μm] and is considering as covering by 10 [μm] thickness with this operation gestalt.

[0038] In addition, although the 1st insulating resin 10 is covered with this operation gestalt over each semiconductor device 5 whole surface of the semi-conductor wafer 7, except for the dicing line 6, it may dissociate in each semiconductor device 5 unit, and insulating resin 3 may be covered every semiconductor device 5 front face. Moreover, in case a front face is covered with insulating resin 10, the curvature by the heat-curing contraction at the time of annealing of the covered insulating resin can be prevented by sticking a rear-face side on a resin sheet, and performing it. And after sticking the front-face side where the 1st insulating resin 10 of the semi-conductor wafer 7 was formed before the grinding operation of degree process on a resin sheet, generating of temporary curvature can be suppressed by carrying out exfoliation removal of the resin sheet by the side of a rear face.

[0039] Next, as shown in drawing 2 (d), adhesion immobilization of the front-face side in which the 1st insulating resin 10 of the semi-conductor wafer 7 was formed is carried out at the resin sheet 12, grinding of the rear-face side of the semi-

conductor wafer 7 is carried out with a grinder, and it carries out thinning. At this process, thinning of the semi-conductor wafer 7 which was 250 [μm] thickness is carried out to for example, 50 [μm] thickness below 100 [μm]. Here, since the front-face side which is the direction of curvature is considered as adhesion immobilization at the resin sheet 12 even if it carries out thinning of the thickness of the semi-conductor wafer 7 with which the 1st insulating resin 10 was formed in the front face to for example, 50 [μm] thickness, the condition of having controlled generating of curvature is maintainable. Therefore, the thing of only thickness which can oppose the curvature of the semi-conductor wafer 7 as thickness of the resin sheet 12 to be used is used. Moreover, it is desirable to use the resin sheet with which the adhesives of an ultraviolet curing mold were formed as a resin sheet 12, and in case the semi-conductor wafer 7 which carried out thinning is exfoliated from a sheet, the impossible force is impressed, and it is made for there not to be breakage and a crack.

[0040] Next, as shown in drawing 3 (a), it covers with the 2nd insulating resin 11 to the rear face of the semi-conductor wafer 7 with the condition that the thin semi-conductor wafer 7 of a last process was stuck on the resin sheet 12. Thickness equivalent to the thickness of the 1st insulating resin 10 by the side of the front face of the semi-conductor wafer 7 already formed here. For example, it is what forms the 2nd insulating resin 11 by 10 [μm] thickness. The 2nd insulating resin 11 is formed so that the wafer curvature by the 1st insulating resin 10 may be made to balance-ize, and the proper thickness of the 1st insulating resin 10 and the 2nd insulating resin 11 is set up according to the thickness of the semi-conductor wafer 7.

[0041] Next, as shown in drawing 3 (b), exfoliation separation of the semi-conductor wafer 7 with which the 2nd insulating resin 11 was formed in the front-face side at the 1st insulating resin 10 and rear-face side is carried out from a resin sheet.

[0042] And as shown in drawing 3 (c), to the thin semi-conductor wafer 7, it cuts with a dicing line and the semiconductor device 13 of a chip unit is obtained. In addition, a dicing line can be recognized according to infrared recognition, and the whole surface surface of a semi-conductor wafer can carry out the dicing of the time of dicing, although a dicing line may be unable to be recognized since it is covered with the 1st insulating resin.

[0043] The thin semiconductor device 13 of the one shape of a chip which carried out cutting separation from the semi-conductor wafer 7 is shown in drawing 3 (d). The semiconductor chip 9 with the electrode pad 1 to a front face as drawing 1 showed the semiconductor device shown in drawing 3 (d). The 1st insulating resin 10 which covered the front face of the semiconductor chip 9 except each electrode pad 1. It connects with each electrode pad 1 electrically, and consists of a projection electrode 4 arranged on the front face of a semiconductor chip 9, and the 2nd insulating resin 11 which covered the rear-face field except the side-face field of a semiconductor chip 9.

[0044] As mentioned above by the manufacture approach of the semiconductor device of this operation gestalt In case packaging is carried out on semi-conductor wafer level, after forming the 1st insulating resin 10 in a front face, Paste the resin sheet 12, from the rear-face side of the semi-conductor wafer 7, carry out grinding with a grinder, carry out thinning, and generating of curvature is prevented with the condition. In order to form the 1st insulating resin 10 formed in the front face, and the 2nd insulating resin 11 which maintained thermal-expansion balance to the rear face of the semi-conductor wafer 7 and to divide into each semiconductor device 13, Since each semiconductor device [be / no generating of curvature] can be obtained, a semiconductor device with the high dependability which realized thinning with chip size-ization is realizable. Since especially the thickness of a semiconductor chip is below 100 [μm] (for example, the thickness of 50 [μm]), it can obtain the semiconductor device of the CSP mold which carried out thinning extremely.

[0045] Next, another operation gestalt of the semiconductor device of this invention is explained. Drawing 4 is the sectional view showing the semiconductor device of this operation gestalt.

[0046] The semiconductor chip 9 with [as shown in drawing 4 , the semiconductor device of this operation gestalt is not the semiconductor device of a peripheral mold but a semiconductor device of an area array mold, and] the electrode pad 1 to a front face. The 1st insulating resin 10 which covered the front face of the semiconductor chip 9 except each electrode pad 1. The projection electrode 4 which was electrically connected with each electrode pad 1, and has been arranged on the front face of a semiconductor chip 9. It is what consists of the 2nd insulating resin 11 which covered the rear-face field except the side-face field of a semiconductor chip 9. the projection electrode 4 is formed on the front face of the 1st insulating resin 10 which covered the front face of a semiconductor chip 9 — having — the projection electrode 4 and electrode pad 1 of a semiconductor chip 9 — conductors, such as gold (Au) and copper (Cu), — it is the structure which rewiring is carried out with wiring 14 and connected. Therefore, it is the semiconductor device of an area pad mold, and the projection electrode 4 which is an external electrode is arranged in the shape of an array on the semiconductor chip 9, and the semiconductor device shown in drawing 4 is a semiconductor device corresponding to the formation of many pins.

[0047]

[Effect of the Invention] As mentioned above, since the semiconductor device of this invention forms in the rear face of a semiconductor chip the 1st surface insulating resin and the 2nd insulating resin which maintained thermal-expansion balance as a semiconductor device, curvature does not occur as a semiconductor device with the thermal stress generated by the heat history at the time of substrate mounting etc., and it is a semiconductor device of a reliable CSP mold. Moreover, since it is the semiconductor chip with which grinding of the semiconductor chip of a semiconductor device itself was carried out, and thinning was carried out, it is the semiconductor device which realized thinning with chip size-ization.

[0048] Moreover, when carrying out packaging of the manufacture approach of the semiconductor device of this invention on semi-conductor wafer level, After forming the 1st insulating resin in a front face, paste a sheet, from the rear-face side of a semi-conductor wafer, carry out grinding with a grinder, carry out thinning, and generating of curvature is prevented with the condition. In order to form the 1st insulating resin formed in the front face, and the 2nd insulating resin which maintained thermal-expansion balance to the rear face of a semi-conductor wafer and to divide into each semiconductor device, Since each semiconductor device [be / no generating of curvature] can be obtained, a semiconductor device with the high dependability which realized thinning with chip size-ization is realizable.

[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing showing the semiconductor device of 1 operation gestalt of this invention

[Drawing 2] The sectional view showing the manufacture approach of the semiconductor device of 1 operation gestalt of this invention

[Drawing 3] The sectional view showing the manufacture approach of the semiconductor device of 1 operation gestalt of this invention

[Drawing 4] Drawing showing the semiconductor device of 1 operation gestalt of this invention

[Drawing 5] Drawing showing the conventional semiconductor device

[Drawing 6] The sectional view showing the manufacture approach of the conventional semiconductor device

[Drawing 7] The sectional view showing the manufacture approach of the conventional semiconductor device

[Description of Notations]

- 1 Electrode Pad
- 2 Semiconductor Chip
- 3 Insulating Resin
- 4 Projection Electrode
- 5 Semiconductor Device
- 6 Dicing Line
- 7 Semi-conductor Wafer
- 8 Semiconductor Device
- 9 Semiconductor Chip
- 10 1st Insulating Resin
- 11 2nd Insulating Resin
- 12 Resin Sheet
- 13 Semiconductor Device
- 14 Conductor — Wiring

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-270720
(P2002-270720A)

(43) 公開日 平成14年9月20日 (2002.9.20)

(51) Int.Cl. ⁷	識別記号	F I	テーム (参考)
H 0 1 L 23/12	5 0 1	H 0 1 L 23/12	5 0 1 C 5 F 0 6 1
			5 0 1 P
21/304	6 3 1	21/304	6 3 1
21/56		21/56	R
21/301		21/78	R
審査請求 未請求 請求項の数 9 O L (全 7 頁)			

(21) 出願番号 特願2001-66364(P2001-66364)

(22) 出願日 平成13年3月9日 (2001.3.9)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 藤本 博昭

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 野村 徹

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

Fターム(参考) 5F061 AA01 CA05 CA21 CA22 CB13

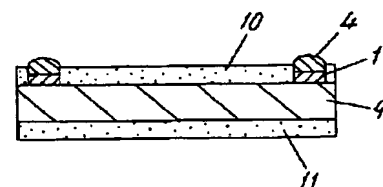
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

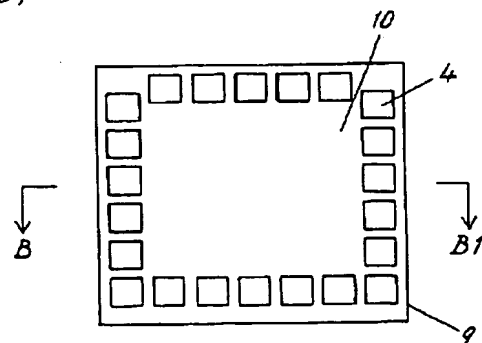
【課題】 ウェハーレベルでパッケージングして半導体装置を形成する際、ウェハーとして反りが発生し、個々の半導体素子へのダメージや残存応力の問題があり、信頼性上の問題があった。

【解決手段】 半導体装置として半導体チップ9の裏面には表面の第1の絶縁性樹脂10と熱膨張バランスをとった第2の絶縁性樹脂11を形成しているので、基板実装時に発生する熱応力によっても半導体装置の反りを防止でき、信頼性の高いCSP型の半導体装置を実現できる。また半導体チップ9自体も薄厚化された半導体チップであるため、チップサイズ化とともに薄厚化を実現した半導体装置を実現することができる。

(a)



(b)



【特許請求の範囲】

【請求項 1】 チップ状の半導体装置であって、表面に電極パッドを有した半導体チップと、前記電極パッドを除く前記半導体チップの表面を被覆した第 1 の絶縁性樹脂と、前記電極パッドと電氣的に接続され、前記半導体チップの表面に配置された突起電極と、前記半導体チップの側面領域を除いた裏面領域を被覆した第 2 の絶縁性樹脂とよりなることを特徴とする半導体装置。

【請求項 2】 半導体チップはその裏面が研削によって 100 [μm] 以下の厚みで薄厚にされた半導体チップであることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 電極パッド上に突起電極が設けられていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 突起電極は、半導体チップの表面を被覆した第 1 の絶縁性樹脂の表面上に設けられ、その突起電極と半導体チップの電極パッドとは導体配線により接続されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】 第 1 の絶縁性樹脂と第 2 の絶縁性樹脂とは、その厚みが互いに同等な厚みであることを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】 表面に複数の電極パッドが設けられた半導体素子を同一面内に複数個有し、個々の半導体素子がダイシングラインでチップ領域に区切られた半導体ウェハを用意する工程と、

前記半導体ウェハの各半導体素子の表面の電極パッド上に各々、導電性材料により突起電極を形成する工程と、

前記半導体ウェハの表面を前記電極パッド上の突起電極を露出させて第 1 の絶縁性樹脂で被覆する工程と、前記半導体ウェハの裏面側を研削して薄厚の半導体ウェハを形成する工程と、

前記薄厚の半導体ウェハの裏面を第 2 の絶縁性樹脂で被覆する工程と、

前記薄厚の半導体ウェハに対して、ダイシングラインで切断し、チップ単位の半導体装置を得る工程とよりなることを特徴とする半導体装置の製造方法。

【請求項 7】 半導体ウェハの裏面側を研削して薄厚の半導体ウェハを形成する工程では、前記半導体ウェハの表面側をシート部材に接着固定した状態で行うことを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】 半導体ウェハの裏面側を研削して薄厚の半導体ウェハを形成する工程では、半導体ウェハの厚みを 100 [μm] 以下の薄厚に研削することを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 9】 半導体ウェハの表面を電極パッド上の突起電極を露出させて第 1 の絶縁性樹脂で被覆する工程

と、薄厚の半導体ウェハの裏面を第 2 の絶縁性樹脂で被覆する工程とにおいて、第 1 の絶縁性樹脂と第 2 の絶縁性樹脂とは互いに同等の厚みで被覆することを特徴とする請求項 6 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、チップサイズパッケージ (CSP) と称される半導体装置およびその製造方法に関するものであり、特に半導体ウェハレベルで実現するチップサイズかつ、薄厚の半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】近年、半導体チップがパッケージングされた半導体装置としては、半導体チップの外形サイズと同等の CSP 型の半導体装置が開発されている。中でも半導体ウェハレベルで個々の半導体チップをパッケージングして、CSP 型の半導体装置を実現する技術が盛んに開発されている。

【0003】以下、従来のウェハレベルの CSP 型の半導体装置およびその製造方法について説明する。

【0004】まず従来の半導体装置について図 5 を参照して説明する。図 5 は従来の CSP 型の半導体装置を示す図であり、図 5 (a) は断面図、図 5 (b) は平面図である。なお図 5 (a) の断面図は図 5 (b) の平面図の A-A 箇所の主要な断面を示すものである。

【0005】図 5 に示すように、従来の半導体装置は、矩形状のチップ状の半導体装置であって、表面に複数の電極パッド 1 を有した半導体チップ 2 と、それら電極パッド 1 を除く半導体チップ 2 の表面を被覆したエポキシ樹脂などの絶縁性樹脂 3 と、各電極パッド 1 上に設けられて電氣的に接続され、絶縁性樹脂 3 の表面からその頂部が露出して半導体チップ 2 の表面に配置された突起電極 4 とより構成されているものである。

【0006】従来の半導体装置において、突起電極 4 は金 (Au)、銅 (Cu)、ハンダなどの導電性材料から構成されているものであり、バンプ形状を有しているものである。

【0007】次に従来の半導体装置の製造方法について図面を参照しながら説明する。図 6、図 7 は従来の半導体装置の製造方法を示す主要な工程ごとの断面図である。

【0008】まず図 6 (a) に示すように、表面に複数の電極パッド 1 が設けられた半導体素子 5 を同一面内に複数個有し、個々の半導体素子 5 がダイシングライン 6 でチップ領域に区切られた半導体ウェハ 7 を用意する。ここでは予めバックグラインドによりその厚みが 250 [μm] 厚程度まで研削された半導体ウェハ 7 を用意する。当然、各半導体素子 5 表面には、集積回路が形成されているものである。

【0009】次に図 6 (b) に示すように、用意した半

導体ウェハー7の各半導体素子5の表面の電極パッド1上に各々、金、銅、ハンダなどの導電性材料により突起電極4を形成する。突起電極4の形成は、メッキ法やメカニカルに導電性材料を接合するワイヤーボンド法などの方法により形成する。

【0010】次に図6(c)に示すように、半導体ウェハー7の表面を電極パッド1上の突起電極4を露出させてエポキシ樹脂などの絶縁性樹脂3で被覆する。ここではダイシングライン6を除き、個々の半導体素子5単位で分離して各半導体素子5表面ごとに絶縁性樹脂3を被覆しているが、半導体ウェハー7の各半導体素子5全面にわたって絶縁性樹脂3を被覆させてもよい。

【0011】そして図7(a)に示すように、半導体ウェハー7に対して、ダイシングラインで切断することにより、チップ単位の半導体装置8を得るものである。図7(b)には半導体ウェハーから切断分離した1つのチップ状の半導体装置8を示す。

【0012】以上のように従来の半導体装置の製造方法では、半導体ウェハー状態で電極形成、表面保護の樹脂被覆、ダイシングなどを行うことにより、ウェハーレベルで個々の半導体チップをパッケージングして、CSP型の半導体装置を実現していた。

【0013】

【発明が解決しようとする課題】しかしながら前記従来の半導体装置では、チップサイズの半導体装置ではあるものの、より薄厚の半導体装置ではなかった。また半導体装置として半導体チップの表面には絶縁性樹脂が形成されているため、プリント基板等の実装基板上に実装した際、実装条件、環境等により半導体装置に熱応力が印加された場合には、半導体装置自体に反りが発生し、半導体チップ内の集積回路にダメージが与えられ、製品としての信頼性を欠くことになる恐れがあった。特に半導体装置自体を薄厚化すると熱膨張係数の差が大きい側に反りが発生しやすいという問題があった。さらに応力による半導体装置の反りにより、突起電極と実装基板との接合の信頼性も低下する恐れもあった。

【0014】また従来の半導体装置の製造方法においては、半導体ウェハーレベルでパッケージングするため、特に表面保護の樹脂被覆により、半導体ウェハー上に絶縁性樹脂を形成した際、半導体ウェハーとして反りが発生し、個々の半導体装置へのダイシングによる分割に支障をきたしたり、半導体素子へのダメージの問題があった。また半導体ウェハー状態で反りを有し、その状態で個々の半導体装置に分割した場合には、外観上は反りが解消されるが、逆に半導体素子(半導体チップ)と表面の絶縁性樹脂との間に応力が残存し、樹脂剥離、集積回路素子へのダメージの問題もあった。

【0015】本発明は前記従来の課題を解決するもので、半導体ウェハーレベルでパッケージングし半導体装置を形成する際、半導体ウェハーへの反りの発生を防止

し、集積回路素子へのダメージを解消した半導体装置およびその製造方法を提供するものであり、さらに薄厚化した半導体装置およびその製造方法を提供することを目的とする。

【0016】

【課題を解決するための手段】前記従来の課題を解決するために、本発明の半導体装置は、チップ状の半導体装置であって、表面に電極パッドを有した半導体チップと、前記電極パッドを除く前記半導体チップの表面を被覆した第1の絶縁性樹脂と、前記電極パッドと電気的に接続され、前記半導体チップの表面に配置された突起電極と、前記半導体チップの側面領域を除いた裏面領域を被覆した第2の絶縁性樹脂とよりなる半導体装置である。

【0017】そして具体的には、半導体チップはその裏面が研削によって100[μm]以下の厚みで薄厚にされた半導体チップである半導体装置である。

【0018】また、電極パッド上に突起電極が設けられている半導体装置である。

【0019】また、突起電極は、半導体チップの表面を被覆した第1の絶縁性樹脂の表面上に設けられ、その突起電極と半導体チップの電極パッドとは導体配線により接続されている半導体装置である。

【0020】また、第1の絶縁性樹脂と第2の絶縁性樹脂とは、その厚みが互いに同等な厚みである半導体装置である。

【0021】前記構成の通り、本発明の半導体装置は、半導体装置として半導体チップの裏面には表面の第1の絶縁性樹脂と熱膨張バランスをとった第2の絶縁性樹脂を形成しているため、基板実装時の熱履歴等により発生する熱応力によっても半導体装置として反りが発生することはなく、信頼性の高いCSP型の半導体装置である。また半導体装置の半導体チップ自体も研削されて薄厚化された半導体チップであるため、チップサイズ化とともに薄厚化を実現した半導体装置を実現することができ、特に半導体チップの厚みは100[μm]以下の例えば50[μm]の厚みであるため、極めて薄厚化したCSP型の半導体装置を得ることができ、50[μm]厚の薄厚であっても、反りの発生を防止できる構造である。

【0022】また本発明の半導体装置の製造方法は、表面に複数の電極パッドが設けられた半導体素子を同一面内に複数個有し、個々の半導体素子がダイシングラインでチップ領域に区切られた半導体ウェハーを用意する工程と、前記半導体ウェハーの各半導体素子の表面の電極パッド上に各々、導電性材料により突起電極を形成する工程と、前記半導体ウェハーの表面を前記電極パッド上の突起電極を露出させて第1の絶縁性樹脂で被覆する工程と、前記半導体ウェハーの裏面側を研削して薄厚の半導体ウェハーを形成する工程と、前記薄厚の半導体ウェ

ハの裏面を第2の絶縁性樹脂で被覆する工程と、前記薄厚の半導体ウェハに対して、ダイシングラインで切断し、チップ単位の半導体装置を得る工程とよりなる半導体装置の製造方法である。

【0023】そして具体的には、半導体ウェハの裏面側を研削して薄厚の半導体ウェハを形成する工程では、前記半導体ウェハの表面側をシート部材に接着固定した状態で行う半導体装置の製造方法である。

【0024】また、半導体ウェハの裏面側を研削して薄厚の半導体ウェハを形成する工程では、半導体ウェハの厚みを100[μm]以下の薄厚に研削する半導体装置の製造方法である。

【0025】また、半導体ウェハの表面を電極パッド上の突起電極を露出させて第1の絶縁性樹脂で被覆する工程と、薄厚の半導体ウェハの裏面を第2の絶縁性樹脂で被覆する工程とにおいて、第1の絶縁性樹脂と第2の絶縁性樹脂とは互いに同等の厚みで被覆する半導体装置の製造方法である。

【0026】前記構成の通り、本発明の半導体装置の製造方法は、半導体ウェハレベルでパッケージングする際、表面に第1の絶縁性樹脂を形成した後、シートに接着して半導体ウェハの裏面側からグラインダーにより研削して薄厚化し、その状態のまま反りの発生を防止して、半導体ウェハの裏面に対して、表面に形成した第1の絶縁性樹脂と熱膨張バランスをとった第2の絶縁性樹脂を形成し、そして個々の半導体装置に分割するため、反りの発生なく個々の半導体装置を得ることができるため、チップサイズ化とともに薄厚化を実現した信頼性の高い半導体装置を実現することができる。特に半導体チップの厚みは100[μm]以下の例えば50[μm]の厚みであるため、極めて薄厚化したCSP型の半導体装置を得ることができる。

【0027】

【発明の実施の形態】以下、本発明の半導体装置およびその製造方法の一実施形態について説明する。

【0028】まず本実施形態の半導体装置について図面を参照しながら説明する。図1は本実施形態のCSP型の半導体装置を示す図であり、図1(a)は断面図、図1(b)は平面図である。なお図1(a)の断面図は図1(b)の平面図のB-B1箇所の主要な断面を示すものである。

【0029】図1に示すように、本実施形態の半導体装置は、チップ状の薄厚の半導体装置であって、表面にペリフェラルで電極パッド1を有した半導体チップ9と、各電極パッド1を除く半導体チップ9の表面を均一厚で被覆した第1の絶縁性樹脂10と、各電極パッド1と電気的に接続され、半導体チップ9の表面に配置された突起電極4と、半導体チップ9の側面領域を除いた裏面領域を均一厚で被覆した第2の絶縁性樹脂11とより構成されているものである。そして半導体チップ9はその裏

面が研削によって100[μm]以下の例えば50[μm]の厚みで薄厚化された半導体チップであり、半導体装置として薄厚化した半導体装置である。

【0030】また図1に示すように本実施形態の半導体装置では、電極パッド1上に直接に突起電極4が設けられているものである。

【0031】そして本実施形態の半導体装置では、第1の絶縁性樹脂10と第2の絶縁性樹脂11とは、その厚みが互いに同等な厚みで設けられ、基板実装時の熱履歴による熱膨張のバランス化を図って設けられているものである。そのため、基板実装時の熱履歴等により発生する熱応力によっても半導体装置として反りが発生することではなく、信頼性の高いCSP型の半導体装置である。

【0032】なお、本実施形態では第1の絶縁性樹脂10、第2の絶縁性樹脂11の厚みは、5~15[μm]であり、好適として10[μm]厚としている。すなわち半導体チップ9の厚みに対して、第1の絶縁性樹脂10による反りにバランス化させるよう第2の絶縁性樹脂11を設けるものであり、第1の絶縁性樹脂10、第2の絶縁性樹脂11の適正な厚みは半導体チップ9の厚みに応じて設定するものである。

【0033】以上、本実施形態の半導体装置は、半導体装置として半導体チップ9の裏面には表面の第1の絶縁性樹脂10と熱膨張バランスをとった第2の絶縁性樹脂11を形成しているため、基板実装時の熱履歴等により発生する熱応力によっても半導体装置として反りが発生することではなく、信頼性の高いCSP型の半導体装置である。また半導体装置の半導体チップ9自体も研削されて薄厚化された半導体チップであるため、チップサイズ化とともに薄厚化を実現した半導体装置を実現することができる。特に半導体チップ9の厚みは100[μm]以下の例えば50[μm]の厚みであるため、極めて薄厚化したCSP型の半導体装置を得ることができ、50[μm]厚の薄厚であっても、反りの発生を防止できる構造である。

【0034】次に本実施形態の半導体装置の製造方法について説明する。図2、図3は本実施形態の半導体装置の製造方法を示す主要な工程ごとの断面図である。

【0035】まず図2(a)に示すように、表面に複数の電極パッド1が設けられた半導体素子5を同一面内に複数個有し、個々の半導体素子5がダイシングライン6(スクライプライン)でチップ領域に区切られた半導体ウェハ7を用意する。当然、各半導体素子5表面には、集積回路が形成されているものである。またここでは予めバックグランドによりその厚みが250[μm]厚程度まで研削された半導体ウェハ7を用意しているが、後工程で裏面を研削するためバックグランドしていない半導体ウェハでもよい。

【0036】次に図2(b)に示すように、用意した半導体ウェハ7の各半導体素子5の表面の電極パッド1

上に各々、導電性材料により突起電極4を形成する。また、導電性材料としては、金、銅、ハンダなどの導電性材料を用い、突起電極4の形成は、メッキ法やメカニカルに導電性材料を接合するワイヤーボンド法などの方法により形成する。

【0037】次に図2(c)に示すように、半導体ウェハ7の表面に対して、各電極パッド1上の突起電極4を露出させて第1の絶縁性樹脂10で被覆する。ここでは突起電極4の頭頂部を突出させるよう第1の絶縁性樹脂10で被覆するが、被覆の方法としては、トランスファーマールド法や塗布法、ポッティング法によりエポキシ系の熱硬化型樹脂で被覆する。その場合の被覆厚としては、5~15[μm]であり、本実施形態では10[μm]厚で被覆としている。

【0038】なお、本実施形態では半導体ウェハ7の各半導体素子5全面にわたって第1の絶縁性樹脂10を被覆しているが、ダイシングライン6を除き、個々の半導体素子5単位で分離して各半導体素子5表面ごとに絶縁性樹脂3を被覆してもよい。また絶縁性樹脂10で表面を被覆する際、裏面側を樹脂シートに貼付して行うことにより、被覆した絶縁樹脂の徐冷時の熱硬化収縮による反りを防止できる。そして次工程の研削工程前に半導体ウェハ7の第1の絶縁性樹脂10が形成された表面側を樹脂シートに貼付した後に裏面側の樹脂シートを剥離除去することにより一時的な反りの発生を抑えることができる。

【0039】次に図2(d)に示すように、半導体ウェハ7の第1の絶縁性樹脂10が形成された表面側を樹脂シート12に接着固定し、半導体ウェハ7の裏面側をグラインダーにより研削して、薄厚化する。この工程では250[μm]厚であった半導体ウェハ7を100[μm]以下の例えば50[μm]厚に薄厚化する。ここでは表面に第1の絶縁性樹脂10が形成された半導体ウェハ7の厚みを例えば50[μm]厚に薄厚化したとしても、反り方向である表面側を樹脂シート12に接着固定としているので、反りの発生を抑制した状態を維持できるものである。そのため、使用する樹脂シート12の厚みとしては半導体ウェハ7の反りに対抗できるだけの厚みのものを使用する。また樹脂シート12としては紫外線硬化型の接着剤が形成された樹脂シートを用いるのが好ましく、薄厚化した半導体ウェハ7をシートから剥離する際に無理な力が印加され、破損、割れないようにする。

【0040】次に図3(a)に示すように、前工程の薄厚の半導体ウェハ7が樹脂シート12に貼付された状態のまま、半導体ウェハ7の裏面に対して第2の絶縁性樹脂11で被覆する。ここでは既に形成した半導体ウェハ7の表面側の第1の絶縁性樹脂10の厚みと同等の厚み、例えば10[μm]厚で第2の絶縁性樹脂11を形成するものであり、第1の絶縁性樹脂10によるウ

ェハ7反りにバランス化させるよう第2の絶縁性樹脂11を設けるものであり、第1の絶縁性樹脂10、第2の絶縁性樹脂11の適正な厚みは半導体ウェハ7の厚みに応じて設定するものである。

【0041】次に図3(b)に示すように、表面側に第1の絶縁性樹脂10、裏面側に第2の絶縁性樹脂11が形成された半導体ウェハ7を樹脂シートから剥離分離する。

【0042】そして図3(c)に示すように、薄厚の半導体ウェハ7に対して、ダイシングラインで切断し、チップ単位の半導体装置13を得るものである。なお、ダイシング時は、半導体ウェハ7の表面全面は第1の絶縁性樹脂で被覆されているため、ダイシングラインが認識できない場合があるが、赤外線認識によりダイシングラインを認識してダイシングすることができる。

【0043】図3(d)には半導体ウェハ7から切断分離した1つのチップ状の薄厚の半導体装置13を示す。図3(d)に示す半導体装置は、図1で示した通り、表面に電極パッド1を有した半導体チップ9と、各電極パッド1を除く半導体チップ9の表面を被覆した第1の絶縁性樹脂10と、各電極パッド1と電気的に接続され、半導体チップ9の表面に配置された突起電極4と、半導体チップ9の側面領域を除いた裏面領域を被覆した第2の絶縁性樹脂11とより構成されているものである。

【0044】以上のように本実施形態の半導体装置の製造方法では、半導体ウェハ7レベルでパッケージングする際、表面に第1の絶縁性樹脂10を形成した後、樹脂シート12に接着して半導体ウェハ7の裏面側からグラインダーにより研削して薄厚化し、その状態のまま反りの発生を防止して、半導体ウェハ7の裏面に対して、表面に形成した第1の絶縁性樹脂10と熱膨張バランスをとった第2の絶縁性樹脂11を形成し、そして個々の半導体装置13に分割するため、反りの発生なく個々の半導体装置を得ることができるため、チップサイズ化とともに薄厚化を実現した信頼性の高い半導体装置を実現することができる。特に半導体チップの厚みは100[μm]以下の例えば50[μm]の厚みであるため、極めて薄厚化したCSP型の半導体装置を得ることができる。

【0045】次に本発明の半導体装置の別の実施形態について説明する。図4は本実施形態の半導体装置を示す断面図である。

【0046】図4に示すように、本実施形態の半導体装置はペリフェラル型の半導体装置ではなく、エリアアレイ型の半導体装置であって、表面に電極パッド1を有した半導体チップ9と、各電極パッド1を除く半導体チップ9の表面を被覆した第1の絶縁性樹脂10と、各電極パッド1と電気的に接続され、半導体チップ9の表面に配置された突起電極4と、半導体チップ9の側面領域を

除いた裏面領域を被覆した第2の絶縁性樹脂11とより構成されているものであり、突起電極4は半導体チップ9の表面を被覆した第1の絶縁性樹脂10の表面上に設けられ、その突起電極4と半導体チップ9の電極パッド1とは、金(Au)、銅(Cu)などの導体配線14により再配線されて接続されている構造である。したがって図4に示す半導体装置はエリアパッド型の半導体装置であり、半導体チップ9上に外部電極である突起電極4がアレー状に配置されているものであり、多ピン化に対応した半導体装置である。

【0047】

【発明の効果】以上、本発明の半導体装置は、半導体装置として半導体チップの裏面には表面の第1の絶縁性樹脂と熱膨張バランスをとった第2の絶縁性樹脂を形成しているので、基板実装時の熱履歴等により発生する熱応力によっても半導体装置として反りが発生することはなく、信頼性の高いCSP型の半導体装置である。また半導体装置の半導体チップ自体も研削されて薄厚化された半導体チップであるため、チップサイズ化とともに薄厚化を実現した半導体装置である。

【0048】また本発明の半導体装置の製造方法は、半導体ウェハーレベルでパッケージングする際、表面に第1の絶縁性樹脂を形成した後、シートに接着して半導体ウェハーの裏面側からグラインダーにより研削して薄厚化し、その状態のまま反りの発生を防止して、半導体ウェハーの裏面に対して、表面に形成した第1の絶縁性樹脂と熱膨張バランスをとった第2の絶縁性樹脂を形成し、そして個々の半導体装置に分割するため、反りの発*

*生なく個々の半導体装置を得ることができるため、チップサイズ化とともに薄厚化を実現した信頼性の高い半導体装置を実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態の半導体装置を示す図

【図2】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図3】本発明の一実施形態の半導体装置の製造方法を示す断面図

10 【図4】本発明の一実施形態の半導体装置を示す図

【図5】従来の半導体装置を示す図

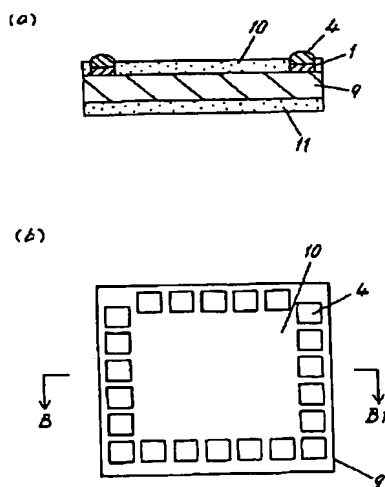
【図6】従来の半導体装置の製造方法を示す断面図

【図7】従来の半導体装置の製造方法を示す断面図

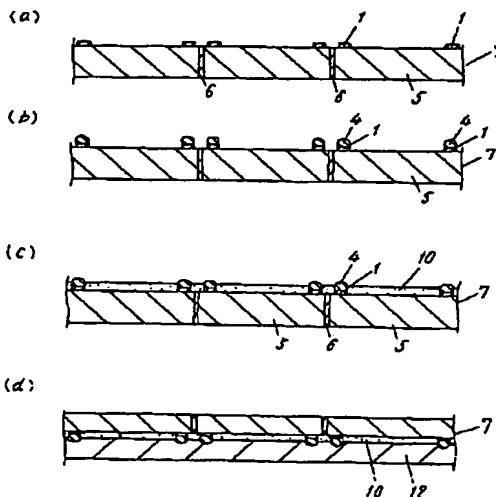
【符号の説明】

- 1 電極パッド
- 2 半導体チップ
- 3 絶縁性樹脂
- 4 突起電極
- 5 半導体素子
- 20 6 ダイシングライン
- 7 半導体ウェハー
- 8 半導体装置
- 9 半導体チップ
- 10 第1の絶縁性樹脂
- 11 第2の絶縁性樹脂
- 12 樹脂シート
- 13 半導体装置
- 14 導体配線

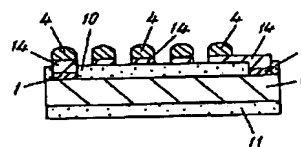
【図1】



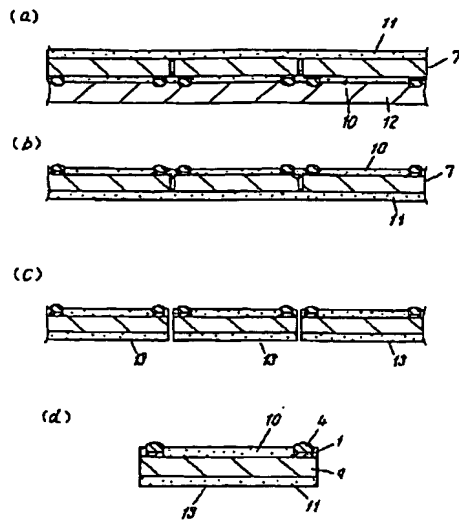
【図2】



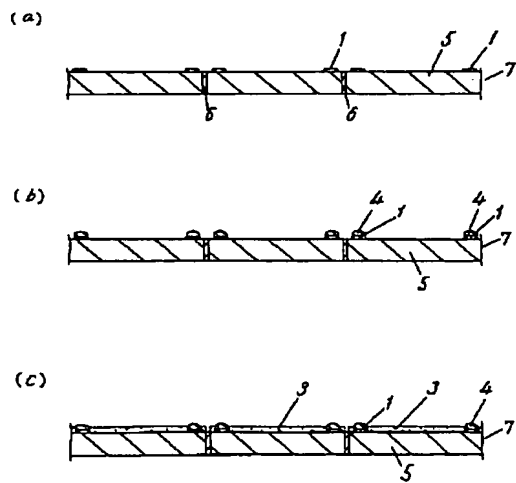
【図4】



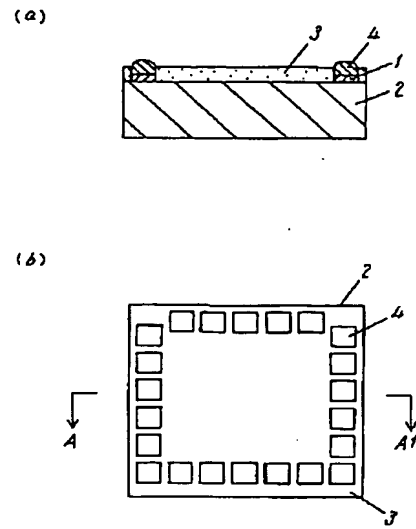
【図3】



【図6】



【図5】



【図7】

